



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11191202 A**

(43) Date of publication of application: 13.07.99

(51) Int. Cl.

**G11B 5/035****H04B 3/06****// H03H 17/06****H04L 25/03**(21) Application number: **09357995**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **25.12.97**(72) Inventor: **OSHIO UMEO**(54) **FIR CIRCUIT AND MAGNETIC DISK DEVICE  
USING THE SAME**

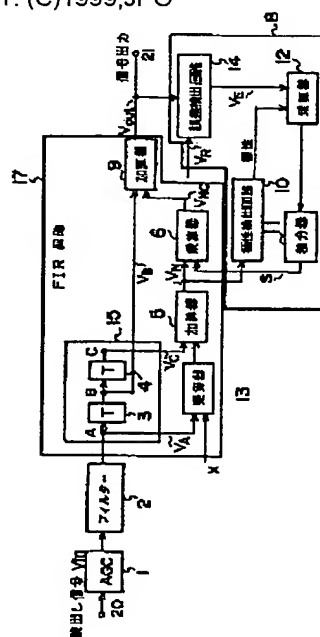
an output terminal 21.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To compensate/remove asymmetric waveform distortion due to group delayed distortion, etc., in a FIR(finite impulse response) circuit and a magnetic disk device using the FIR circuit.

**SOLUTION:** A read-out signal  $V_{in}$  impressed to an input terminal 20 is impressed to a FIR circuit 17 through an AGC circuit 1 and a filter 2. In the FIR circuit having a delay line with a tap for every delayed interval almost equal to the interval of a signal, the asymmetric distortion is compensated by setting a tap coefficient  $X$  from the outside and the symmetric distortion is compensated by setting a tap coefficient  $S$  from the outside or automatically determined by a coefficient determining circuit 8. By independently performing the coefficient setting of the tap coefficient  $X$  and the coefficient setting of the tap coefficient  $S$ , the asymmetric waveform distortion due to group delayed distortion, etc., is compensated/removed and an output signal  $V_{out}$  whose waveform is formed is obtained from



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-191202

(43) 公開日 平成11年(1999) 7月13日

(51) Int.Cl. <sup>8</sup>	識別記号	F I
G 1 1 B 5/035		G 1 1 B 5/035
H 0 4 B 3/06		H 0 4 B 3/06
// H 0 3 H 17/06	6 3 5	H 0 3 H 17/06
H 0 4 L 25/03		H 0 4 L 25/03

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-357995

(22) 出願日 平成9年(1997)12月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 押尾 梅夫

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

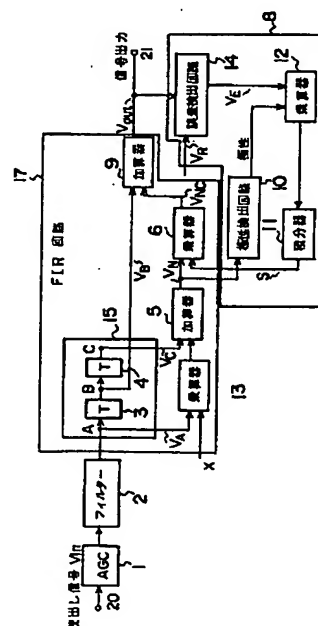
(54) 【発明の名称】 F I R回路及びこれを用いた磁気ディスク装置

(57) 【要約】

【課題】 F I R回路及びこれを用いた磁気ディスク装置に関し、群遅延歪み等による非対称な波形歪みを補正・除去することを目的とする。

【解決手段】 入力端子20に印加された読出し信号 $V_{in}$ は、AGC回路1、フィルタ2を介して、F I R回路17に印加される。信号の間隔と略等しい遅延間隔毎にタップのついた遅延線を有するF I R回路17において、外部からタップ係数 $X$ を設定して非対称歪みを補正し、外部から又は係数決定回路8により自動的に決定されたタップ係数 $S$ を設定して対称歪みを補正する。タップ係数 $X$ の係数設定及びタップ係数 $S$ の係数設定を独立に行うことにより、群遅延歪み等による非対称な波形歪みが補正・除去され、波形整形された出力信号 $V_{out}$ が出力端子21から得られる。

本発明の回路を説明するための図



## 【特許請求の範囲】

【請求項1】 タップを設けた遅延線を有し、各前記タップから取り出した信号に係数をかけて加算するFIR回路において、前記タップの前記係数を調整することにより波形整形する手段を有し、該波形整形する手段は、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段と、信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段とを有し、前記第1のタップ係数設定手段と前記第2のタップ係数設定手段の設定を独立に行うことを特徴とするFIR回路。

【請求項2】 前記第1のタップ係数設定手段の係数の設定と前記第2のタップ係数設定手段の係数の設定とを外部から行うことを特徴とする請求項1記載のFIR回路。

【請求項3】 前記第1のタップ係数設定手段の設定は外部から行い、前記第2のタップ係数設定手段の設定は自動的に行うことを特徴とする請求項1記載のFIR回路。

【請求項4】 信号の間隔と略等しい遅延間隔毎にタップを設け、該タップの数が奇数である遅延線を有するFIR回路において、第1の乗算器、第2の乗算器、第1の加算器及び第2の加算器を有し、前記第1の乗算器は、前記遅延線のN番目の前記タップ又は前記遅延線の-N番目の前記タップのうちの一方の前記タップと第1加算器の間に設け、乗算器に接続された前記タップの出力を第1係数倍し、前記第1の加算器は、前記第1の乗算器の出力と前記遅延線のN番目の前記タップ又は前記遅延線の-N番目の前記タップのうちの他方の前記タップとを加算し、前記第2の乗算器は、前記第1の加算器の出力を第2係数倍し、前記第2の加算器は、前記遅延線のセンタータップの出力と前記第2の乗算器の出力とを加算し、該第2の加算器の出力を当該FIR回路の出力とすることを特徴とするFIR回路。

【請求項5】 前記第1係数の設定及び前記第2の係数の設定を外部から行うことを特徴とする請求項4記載のFIR回路。

【請求項6】 係数決定回路を有し、該係数決定回路は、前記第1の加算器の出力及び当該FIR回路の出力に基づき、当該FIR回路の出力が「0」、「1」及び「-1」に収斂するように前記第2の係数を自動的に決定し、該係数決定回路の出力を、前記第2の係数として、前記第2の乗算器の一方の入力端子に印加し、前記第1の係数の設定は外部から行う、ことを特徴とす

る請求項4記載のFIR回路。

【請求項7】 前記係数決定回路は、前記FIR回路の出力と理想出力との差を得る誤差検出回路と、前記第1加算器の出力に基づき、前記FIR回路の出力の補正の方向を決めるための極性検出回路と、該極性検出回路の出力と前記誤差検出回路の出力とを乗算する第三の乗算器と、該第三の乗算器の出力を積分する積分器とを有し、該積分器の出力を前記係数決定回路の出力とすることを特徴とする請求項6記載のFIR回路。

【請求項8】 請求項1ないし7いずれか一項記載の記載のFIR回路を用いた磁気ディスク装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】FIR (Finite Impulse Response) 回路及びこれを用いた磁気ディスク装置に関し、特に非対称FIR回路による群遅延歪みを補正・除去する波形整形回路及びこれを用いた磁気ディスク装置に関する。

## 【0002】

【従来の技術】図1に、本願発明が利用される、ハードディスクドライブ装置HDD (Hard Disk Drive) が示されている。外部からの書き込み信号は、HDC (Hard Disk Controller) 111、書き込み回路 (Write 回路) 109、HDDの書き込みアンプ103 (Write Amp) 及び磁気ヘッド115を介して、記録媒体114に記録される。記録媒体114に記録された信号は、磁気ヘッド115で読みとられて、HDDの読出しアンプ (Read Amp) 102、AGC (Automatic Gain Control) 回路104、フィルタ105、FIR回路107、復調器108及びHDC111を介して、外部装置へ出力される。また、FIR回路107、復調器108及びHDC111等をデジタル信号処理する場合は、フィルタ105とFIR回路107との間に、アナログ信号をデジタル信号に変換するアナログ・デジタル変換器を設ける。

【0003】この回路の各部の機能を簡単に説明する。FIR回路107は、信号の波形整形回路で、信号の書き込み・読出し、AGC104又はフィルタ105等の処理により歪んだ信号を波形整形する回路である。このFIR回路107へのパラメータ等の設定は、メモリ113を参照して、MPUがFIR回路107に設定する。読出しアンプ102は、読出しヘッドから読み出された微弱な信号を増幅し、読出しチャンネル (Read Channel) 110に信号を伝送する。書き込みアンプ103は、書き込みデータに従って書き込みヘッドをドライブするドライバである。書き込み回路109は、HDC111からの書き込みデータを信号処理して書き込みアンプ103に伝送する。AGC回路104は、読出し信号出力の振幅を

一定にする回路である。フィルタ105は、ノイズ除去のためのローパスフィルタである。また、波形整形のために、高域周波数の強調回路（BOOST）を入れる場合もある。復調器108は、読み出した信号を「0」、「1」のデータに変換する回路である。HDC111は、HDDと外部装置との接続を行う。MPU（Micro Processing Unit）は、HDDの動作を司り、FIR回路107等のパラメータの設定等を行う。メモリー（MEMORY）118は、HDC111のハームウェア及び各種パラメータ値を保管する。

【0004】図2に従来のFIR回路を示す。ここでは、係数を自動的に設定する場合を示す。ここで、自動的とは、係数の決定であれば、信号の変化に応じて、最適な又はそれに近い係数の決定を行うことを言う。入力端子20に印加された読出し信号Vinは、AGC回路1、フィルタ2を介して、FIR回路7に印加され、波形整形された信号出力Voutが出力端子21から得られる。FIR回路7は、奇数（図では、タップが3つの例である。）の等間隔のタップを有する遅延線（遅延回路の遅延量は、信号の時間間隔と略等しい遅延時間：T）15、加算器5、9及び乗算器6を有する。係数決定回路8は、加算器5の出力VN及びFIR回路の出力Voutに基づき、FIR回路の出力が「0」、「1」及び「-1」に収斂するように、その出力を前記乗算器6の一方の入力端子に印加する。遅延線15は、奇数のタップを有し、偶数の遅延回路3、4を有する。その、中央のタップBがセンタータップである。タップの番号は、センタータップを基準に数える。つまり、センタータップの番号を0番目、その右を1番目、さらにその右を2番目と数え、センタータップの左を-1番目、さらにその右を-2番目と数える。

【0005】入力端子20に印加された読出し信号Vinは、AGC回路1、フィルタ2を介して、FIR回路7に印加される。FIR回路7では、-1番目のタップAの出力信号VAと1番目のタップCの出力信号Vcとを加算器5において加算し、その加算器5の出力信号VNと係数決定回路8の出力信号Sとを乗算し、さらに、乗算器6の出力信号VNCと遅延線15のセンタータップBの出力信号VBとを加算する。その結果、波形整形された信号出力Voutが、出力端子21から得られる。

【0006】

【発明が解決しようとする課題】先ず、波形の歪みについて、概略説明する。図8は、単一のパルス信号の場合である。正常な波形は、図8（1）に示すように、信号の点のT0において正規のレベルを確保し、他のサンプル点では「0」である。左右対称な歪みとは、図8（2）図8（3）に示すように、信号点T0から見て左右が対称に歪んでいる（信号点T0以外のサンプル点で値を持つ）場合である。図8（2）では、信号点T0における振幅が小さい。図8（3）では、信号点T0及

び、左右のサンプル点において、全体がレベルがアップされている。この場合は、信号点T0から見ると左右が対称に歪んでいる。一方、非対称な歪みとは、図8

（4）に示すように、信号点T0からみて、信号の歪みが左右対称でない場合である。実際の回路では、図8に示すような単一のパルス信号でなく、信号パルスが相互に影響しあって、歪みを発生する。

【0007】従来の回路では、図6（a）に示すように、読出し信号Vinが、左右対称に歪んでいない場合には、FIR回路の出力Voutも図6（b）のように、「0」、「1」及び「-1」レベルが基準通りであって問題ない。しかし、AGC104、フィルタ2等の群遅延特性が平坦でないために、伝送信号に波形歪みが発生し、読出し信号Vinが図6（c）のA、Bに示すような左右が非対称に歪む場合がある。

【0008】従来の回路では、非対称の歪みに対しては、歪みを補正することができない。従って、FIR回路の出力は、図6（d）に示すようになり、「0」レベルが基準レベルと乖離する。その結果、「0」の検出ミスが発生しがちである。特に、近年の磁気ディスク装置の高速化に伴い、アンプやフィルタの設計が困難となり、群遅延歪みが発生する傾向にあり、従来のFIR回路ではディスクの読出しエラーとなり易かった。

【0009】そこで、本発明は、上記問題を解決するために、群遅延歪み等による非対称な波形歪みを補正・除去することを目的とする。

【0010】

【課題を解決するための手段】なお、ここで、外部とは、FIR回路以外の部分（ただし、係数決定回路8は、FIR回路の係数を決定するための専用の回路で、FIR回路の一部とみなす）をいう。例えば、MPU112、メモリ113は、外部である。請求項1に記載されたFIR回路に関する発明は、タップを設けた遅延線を有し、各前記タップから取り出した信号に係数をかけて加算するFIR回路（図3の17）において、前記タップの前記係数を調整することにより波形整形する手段を有し、該波形整形する手段は、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段（図3の13、X等）と、信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段（図3の6、8、S等）とを有し、前記第1のタップ係数設定手段と前記第2のタップ係数設定手段の設定を独立に行うことを特徴とするFIR回路。

【0011】請求項1記載の発明によれば、FIR回路に、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段と信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段とを有し、これらの係数設定を独立に行うことにより、群遅延歪み等による非対称な波形歪みを補正・除去することができる。

【0012】請求項2に記載された発明は、請求項1記載のFIR回路において、前記第1のタップ係数設定手段及び前記第2のタップ係数設定手段の設定を外部から行うことを特徴とする。請求項2記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段及び信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段の設定を外部から任意に行うことができる。

【0013】請求項3に記載された発明は、前記第1のタップ係数設定手段の設定は外部から行い、前記第2のタップ係数設定手段の設定は自動的に行うことを特徴とする請求項1記載のFIR回路。請求項3記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段及びその設定は、外部から任意に行い、左右対称の信号歪みを補正する第2のタップ係数設定手段の設定は、自動的に行うことができる。

【0014】請求項4に記載されたFIR回路に関する発明は、信号の間隔Tと略等しい間隔毎にタップを設け、該タップの数が奇数である遅延線を有するFIR回路(図3の17)において、第1の乗算器(図3の13)、第2の乗算器(図3の6)、第1の加算器(図3の5)及び第2の加算器(図3の9)を有し、前記第1の乗算器は、前記遅延線のN番目の前記タップ(図3のC)又は前記遅延線の-N番目の前記タップ(図3のA)のうちの一方の前記タップ(図3のA)と第1加算器の間に設け、乗算器に接続された前記タップ(図3のA)の出力を第1係数倍(X倍)し、前記第1の加算器は、前記第1の乗算器の出力と前記遅延線のN番目の前記タップ又は前記遅延線の-N番目の前記タップのうちの他方の前記タップ(図3のC)とを加算し、前記第2の乗算器は、前記第1の加算器の出力VNを第2係数倍(S倍)し、前記第2の加算器は、前記遅延線のセンタータップ(図3のB)の出力VBと前記第2の乗算器の出力VNCを加算し、該第2の加算器の出力を当該FIR回路の出力Voutとすることを特徴とする。

【0015】請求項4記載の発明によれば、FIR回路に、信号点に対して左右非対称の信号歪みを補正するための第1の乗算器と信号点に対して左右対称の信号歪みを補正するための第2の乗算器とを有し、これらの乗算器へ印加される第1係数及び前記第2の係数の設定を独立に行うことにより、群遅延歪み等による非対称な波形歪みを補正・除去することができる。

【0016】請求項5に記載された発明は、請求項4記載のFIR回路において、前記第1係数の設定及び前記第2の係数の設定を外部から行うことを特徴とする。請求項5記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1係数の設定及び信号点に対して左右対称の信号歪みを補正する第2の係数の設定を外部から任意に行うことができる。

【0017】請求項6に記載された発明は、請求項4記

載のFIR回路において、係数決定回路(図3の8)を有し、該係数決定回路は、前記第1の加算器の出力及び当該FIR回路の出力に基づき、当該FIR回路の出力が「0」、「1」及び「-1」に収斂するように前記第2の係数を自動的に決定し、該係数決定回路の出力を、前記第2の係数として、前記第2の乗算器の一方の入力端子に印加し、前記第1の係数の設定は外部から行う、ことを特徴とする。

【0018】請求項6記載の発明によれば、第1の加算器の出力及びFIR回路の出力に基づき、第2の係数を自動的に決定することができる。請求項7に記載された発明は、請求項6記載のFIR回路において、前記係数決定回路は、前記FIR回路の出力と理想出力との差を得る誤差検出回路(図3の14)と、前記第1加算器の出力に基づき、前記FIR回路の出力の補正の方向を決めるための極性検出回路(図3の10)と、該極性検出回路の出力と前記誤差検出回路の出力VEとを乗算する第三の乗算器(図3の12)と、該第三の乗算器の出力を積分する積分器(図3の11)とを有し、該積分器の出力を前記係数決定回路の出力Sとすることを特徴とする。

【0019】請求項7記載の発明によれば、FIR回路の出力と理想出力との差を得る誤差検出回路、第1加算器の出力に基づき前記FIR回路の出力の補正の方向を決めるための極性検出回路、極性検出回路の出力と誤差検出回路の出力とを乗算する第三の乗算器、第三の乗算器の出力を積分する積分器とを用いて、第2の係数を自動的に決定することができる。

【0020】請求項8に記載された発明は、請求項1〜7記載のFIR回路を磁気ディスク装置に適応したものである。請求項8記載の発明によれば、群遅延歪み等による非対称な波形歪みを補正・除去可能な磁気ディスク装置を提供することができる。

【0021】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図3は、本発明の回路である。入力端子20に印加された読出し信号Vinは、AGC回路1、フィルタ2を介して、FIR回路17に印加される。FIR回路17は、以下に詳述するように、二つの乗算器を有し、且つその二つの乗算器に信号補正のための係数を独立に印加することにより、波形整形された信号出力Voutを出力端子21から得る。

【0022】FIR回路17は、奇数のタップを有する遅延線(遅延回路3、4の遅延量は、信号の時間間隔と略等しい遅延時間:T)15、加算器5、9及び乗算器6、13を有する。遅延線15は、奇数のタップを有し、偶数の遅延回路3、4を有する。その、中央のタップBがセンタータップである。タップの番号は、センタータップBを基準に数える。つまり、センタータップBの番号を0番目、その右を1番目、さらにその右を2番

目と数え、センタータップの左を-1番目、さらにその右を-2番目と数える。

【0023】係数決定回路8は、誤差検出回路14、乗算器12、極性検出回路10及び積分器11から構成されている。この係数決定回路8は、加算器5の出力VN及びFIR回路の出力Voutに基づき、FIR回路の出力が「0」、「1」及び「-1」に収斂するように、その出力Sを前記乗算器6の一方の入力端子に印加する。

【0024】係数決定回路8の極性決定回路10は、出力信号Voutを補正するに際して、出力信号Voutを減らす方向に補正するのがあるいは増加する方向に補正するのかを定める回路である。その回路の機能は図4に示すとおりである。加算器5の出力VNと基準電位VR/2又は-VR/2とを比較し、

・  $V_n < -VR/2$  のとき、極性決定回路10は、「-1」を出力（反転出力）する。

【0025】・  $-VR/2 < V_n < VR/2$  のとき、極性決定回路10は、「0」を出力する。従って、この場合は、隣の信号の干渉がほとんどないとみなして、補償しない。

・  $V_n \geq VR/2$  のとき、極性決定回路10は、「1」を出力する。なお、基準電位VRは、出力端子21から出力される信号の「ハイレベル：1」のときの、信号レベルである。「ロウレベル：-1」は、-VRである。また、VR/2を基準に極性の決定をしたが、それ以外の値を基準としても良い。

【0026】係数決定回路8の誤差検出回路14は、出力端子21の出力信号Voutと理想値との差を検出する回路である。その回路の機能は図5に示すように、振幅比較器31と加算器32から構成されている。加算器32は、反転入力端子（-）及び非反転入力端子（+）を有し、二つの信号入力の差をとる機能を有する。振幅比較器31は、理想値を生成する回路で、出力端子21の出力信号Voutと基準電位VR/2又は-VR/2とを比較し、

・  $V_n < -VR/2$  のとき、振幅比較器31は、-VRを出力する。

【0027】・  $-VR/2 < V_n < VR/2$  のとき、振幅比較器31は、「0」を出力する。

・  $V_n > VR/2$  のとき、振幅比較器31は、VRを出力する。なお、基準電位VRは、極性検出回路10のものと同じである。また、VR/2を基準に振幅の比較をしたが、それ以外の値を基準としても良い。

【0028】加算器32は、出力信号Voutと理想値との差をとる回路で、出力信号Voutは、その反転入力端子に印加し、振幅比較器31の出力は、その非反転入力端子に印加される。加算器32の出力が誤差検出回路の出力VEとなる。係数決定回路8の動作を説明する。図7（1）に示すように、データが、「0」、「0」、「1」、「1」、「0」、「0」の場合について説明す

る。この場合の波形は、図7（2）に示すように、信号（イ）の信号と信号（ロ）の信号が合成された信号

（ハ）の信号が遅延線15に印加される。今、遅延線15のセンタータップBに信号（ロ）のピークが現れた時点で考える。タップAには、電位VA（小さい正の値）が現れており、センタータップBには、電位VB（本来の信号値VRに対してVEだけ小さい）が現れており、タップCには、電位Vc（-VRに近い、大きな負の値）が現れている。

【0029】ここでは、乗算器13に第1の係数である信号Xが印加されない場合について説明する。加算器15の出力VNは、タップAの信号VAとタップCの信号Vcとの信号の和であるから、信号（VA+Vc）である。信号VAは、小さい正の値の信号で、信号Vcは、負の大きな値の信号である。ここでは、信号（VA+Vc）が、-VR/2より、小さいとする。すると、極性検出回路10の出力信号として、「-1」が出力される。

【0030】補正されない出力信号Voutは、図7（2）に示すように、VRより、VEだけ、小さい値である。この信号Voutが振幅比較器31に印加される。信号Voutが、VR/2より大きいとすると、振幅比較器31からは、信号VRが出力される。この信号VRと出力信号Voutが、加算器32に印加される。加算器32の出力は、信号VRと出力信号Voutの差の信号VEが出力される。この信号VEと極性検出回路10の出力（この場合、「-1」）が、乗算され、-VEが出力される。この-VEが積分器11により積分されて信号Sとなる。乗算器6の一方の入力端子1にこの負の値の信号Sが印加され、乗算器6の他方の入力端子には、-VR/2より小さい、負の値のVN（-VRに近い値）が印加されており、乗算器6の出力として、正の信号（S\*VN）が得られる。この信号は、加算器9に印加され、センタータップの信号VBの値がVRになるように、信号VBに加算する。その結果、出力信号Voutが補正（VB値からVR値に補正）される。

【0031】つまり、FIR回路17では、-1番目のタップAの出力信号VAと1番目のタップCの出力信号Vcとを加算器5において加算し、その加算信号VNが一定値以上の場合、その加算器5の出力信号VNと係数決定回路8の出力信号Sとを乗算して補正信号を作成し、遅延線15のセンタータップBの出力信号VBに加算することにより、信号の補正つまり波形整形をする。この場合は、タップ係数を、1番目のタップAの出力信号VAと1番目のタップCの出力信号Vcとを同時に、同じ係数をかけて補正することから、信号の歪みが対称な場合（センタータップに現れた信号（信号点の信号）に対して、左右のタップ（信号点以外のサンプル点）に対称に現れる歪み）の、「-1」、「1」、「0」のレベル調整が可能であるが、1番目のタップAの出力信号

VAと1番目のタップCの出力信号Vcとに異なる係数をかけて補正することはできない。

【0032】次に、非対称歪み（センタータップに現れた信号（信号点の信号）に対して、左右のタップ（信号点以外のサンプル点）に非対称的に現れた歪み）の補正について説明する。図6（c）、（d）に示すように、群遅延歪みにより、「0」レベルが、信号点からみて、非対称に規定値からはずれる。図6（c）、（d）のような場合だと、乗算器13に第1の係数Xを1とした場合、VNは、「0」となり、係数決定回路8による補正はできない。

【0033】そこで、回線に対する信号及び波形歪みのデータを予め測定しておく。その結果の補正データ等を、図1のメモリ13に蓄積し、その中から最適な値を選択し、乗算器13の一方の入力端子へ係数Xを印加する。係数Xは、図6（C）のA、Bのレベルを $\Delta L$ だけ補正し、規定値の「0」レベルにする。その結果、図6（c）の信号は、信号図6（b）のようになる。

【0034】なお、図3では、乗算器6を加算器5の後段に設けたが、その代わりに、加算器5と遅延線15のタップの間にそれぞれ乗算器を設け、該乗算器の一方の入力端子には、タップの出力信号を印加し、該乗算器の他方の入力端子には、係数決定回路8の出力信号Sを印加しても同様の機能を有することは自明である。

【0035】

【発明の効果】上述の如く本発明によれば、次に述べる種々の効果を実現することができる。請求項1記載の発明によれば、FIR回路に、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段と信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段とを有し、これらの係数設定を独立に行うことにより、群遅延歪み等による非対称な波形歪みを補正・除去することができる。

【0036】請求項2記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段及び信号点に対して左右対称の信号歪みを補正する第2のタップ係数設定手段の設定を外部から任意に行うことができる。請求項3記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1のタップ係数設定手段及の設定は、外部から任意に行い、左右対称の信号歪みを補正する第2のタップ係数設定手段の設定は、自動的に行うことができる。

【0037】請求項4記載の発明によれば、FIR回路に、信号点に対して左右非対称の信号歪みを補正するための第1の乗算器と信号点に対して左右対称の信号歪みを補正するための第2の乗算器とを有し、これらの乗算

器へ印加される第1係数及び前記第2の係数の設定を独立に行うことにより、群遅延歪み等による非対称な波形歪みを補正・除去することができる。

【0038】請求項5記載の発明によれば、信号点に対して左右非対称の信号歪みを補正する第1係数の設定及び信号点に対して左右対称の信号歪みを補正する第2の係数の設定を外部から任意に行うことができる。請求項6記載の発明によれば、第1の加算器の出力及びFIR回路の出力に基づき、第2の係数を自動的に決定することができる。

【0039】請求項7記載の発明によれば、FIR回路の出力と理想出力との差を得る誤差検出回路、第1加算器の出力に基づき前記FIR回路の出力の補正の方向を決めるための極性検出回路、極性検出回路の出力と誤差検出回路の出力とを乗算する第三の乗算器、第三の乗算器の出力を積分する積分器とを用いて、第2の係数を自動的に決定することができる。

【0040】請求項8記載の発明によれば、群遅延歪み等による非対称な波形歪みを補正・除去可能な磁気ディスク装置を提供することができる。

【図面の簡単な説明】

【図1】磁気ディスク装置を説明するための図である。

【図2】従来例を説明するための図である。

【図3】本発明の回路を説明するための図である。

【図4】本発明に用いられる極性検出回路を説明するための図である。

【図5】本発明に用いられる誤差検出回路を説明するための図である。

【図6】読出し信号の群遅延歪みを説明するための図である。

【図7】係数決定回路を説明するための図である。

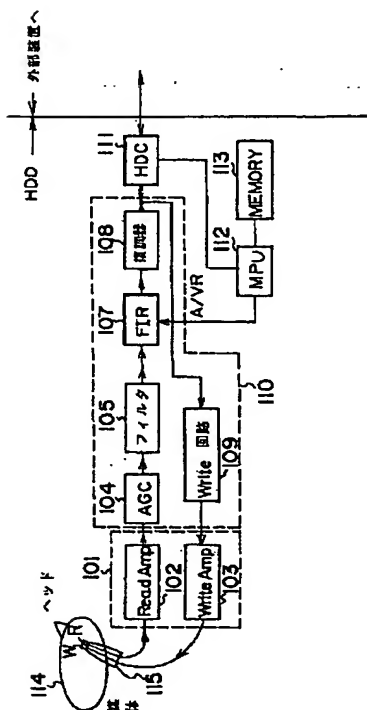
【図8】波形歪みを説明するための図である。

【符号の説明】

- 1 AGC回路
- 2 フィルタ
- 3、4 遅延回路
- 5、9 加算器
- 6、12、13 乗算器
- 8 係数決定回路
- 10 極性検出回路
- 11 積分器
- 14 誤差検出回路
- 15 遅延線
- 20 入力端子
- 21 出力端子

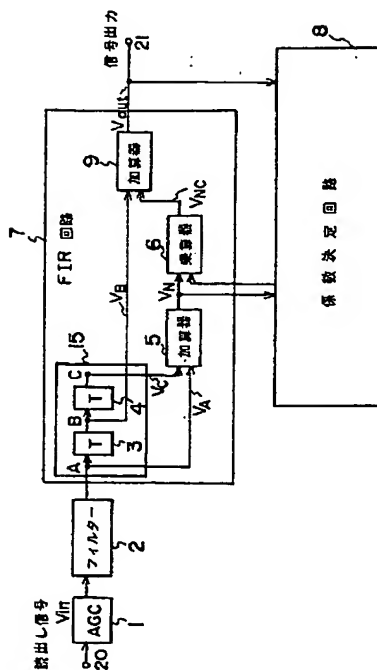
【図 1】

磁気ディスク装置を説明するための図



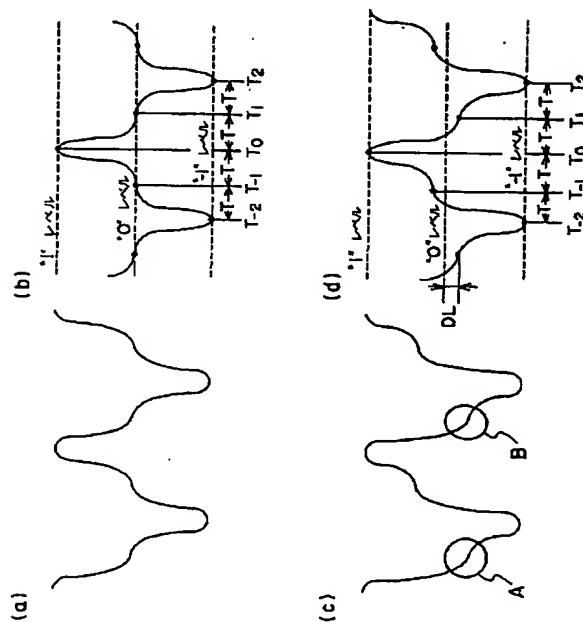
【図2】

従来例を説明するための図



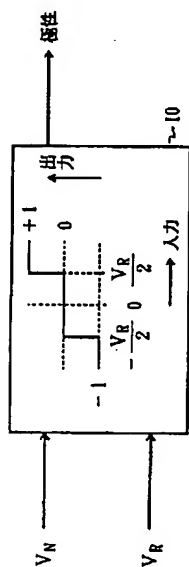
【図6】

読出し信号の群遅延歪みを説明するための図



【図4】

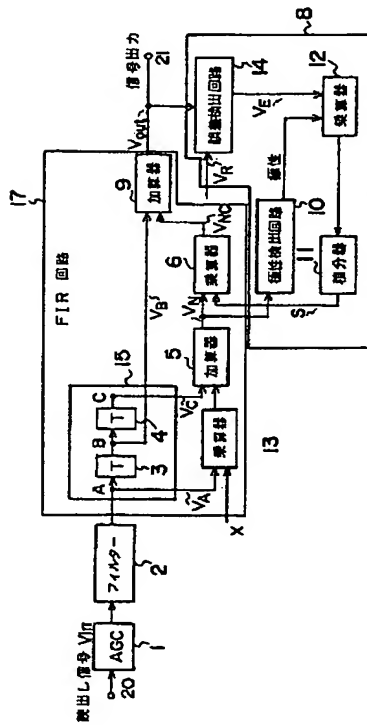
本発明に用いられる極性検出回路を説明するための図





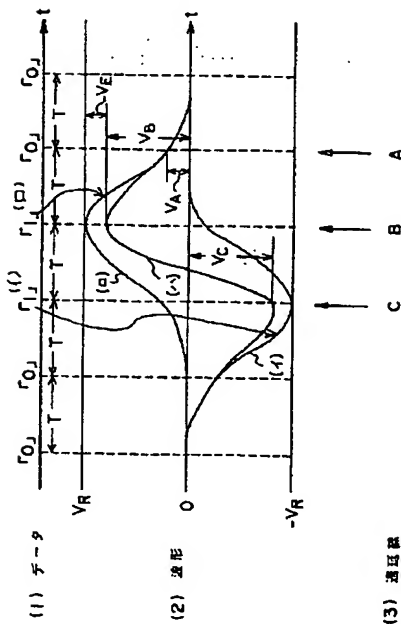
【図3】

本発明の回路を説明するための図



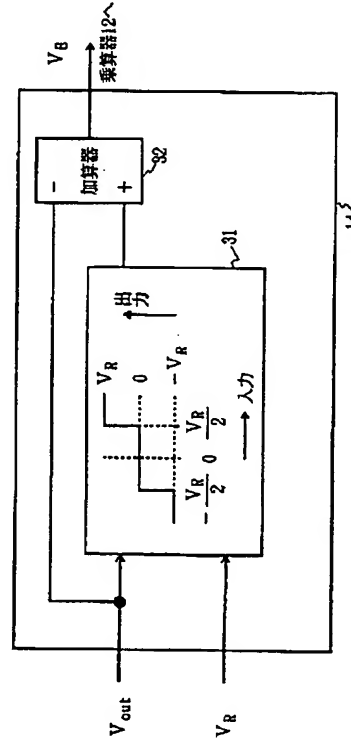
【図7】

係数決定回路を説明するための図



【図5】

本発明に用いられる誤差検出回路を説明するための図



【図8】

波形歪みを説明するための図

